

青枠: 前回面談(12/7)のコメント反映

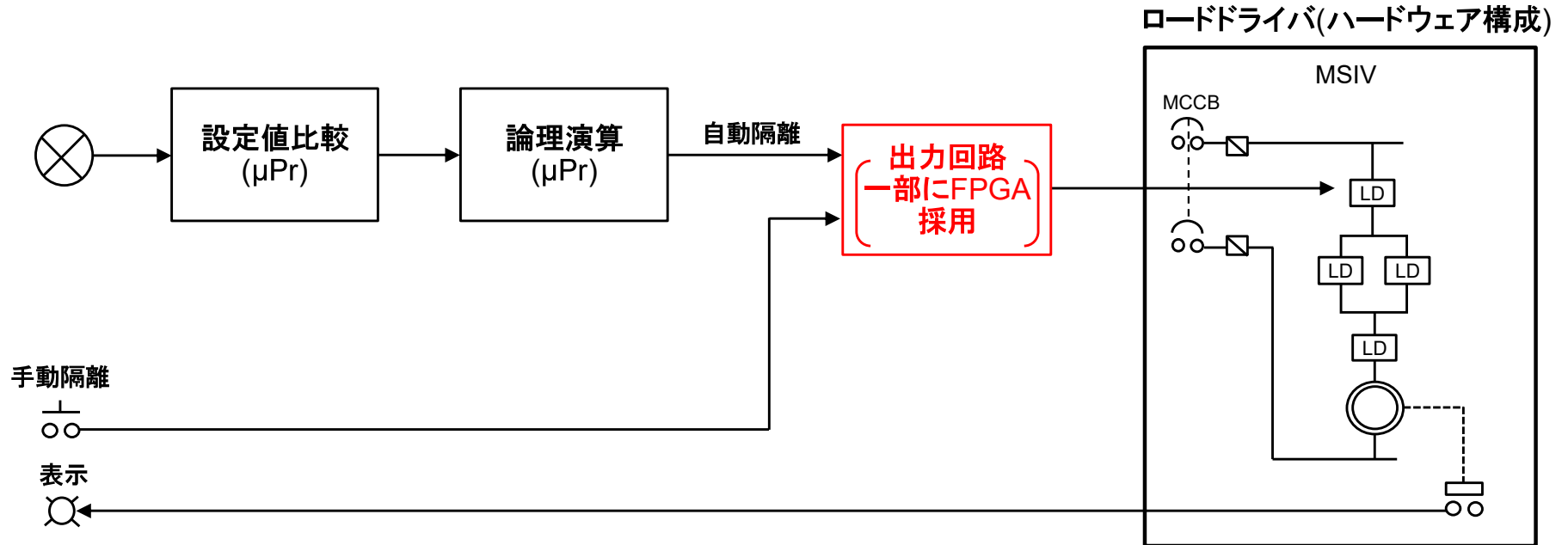
柏崎刈羽原子力発電所 第7号機 MSIV出力回路におけるFPGA使用

2024/1/18

株式会社 日立製作所 制御プラットフォーム統括本部
原子力・発電制御システム本部
原子力制御システム設計部

1.1 MSIV閉回路におけるFPGA採用

- ✓ MSIVにおける出力回路の一部にFPGAを採用。(詳細を次紙に示す)



- ✓ ABWR初号機である柏崎刈羽原子力発電所7号機の建設当時における設計ではPALを採用。

- ✓ 適用サイト(変遷)

柏崎7号:建設当時
1990年代
(PAL)



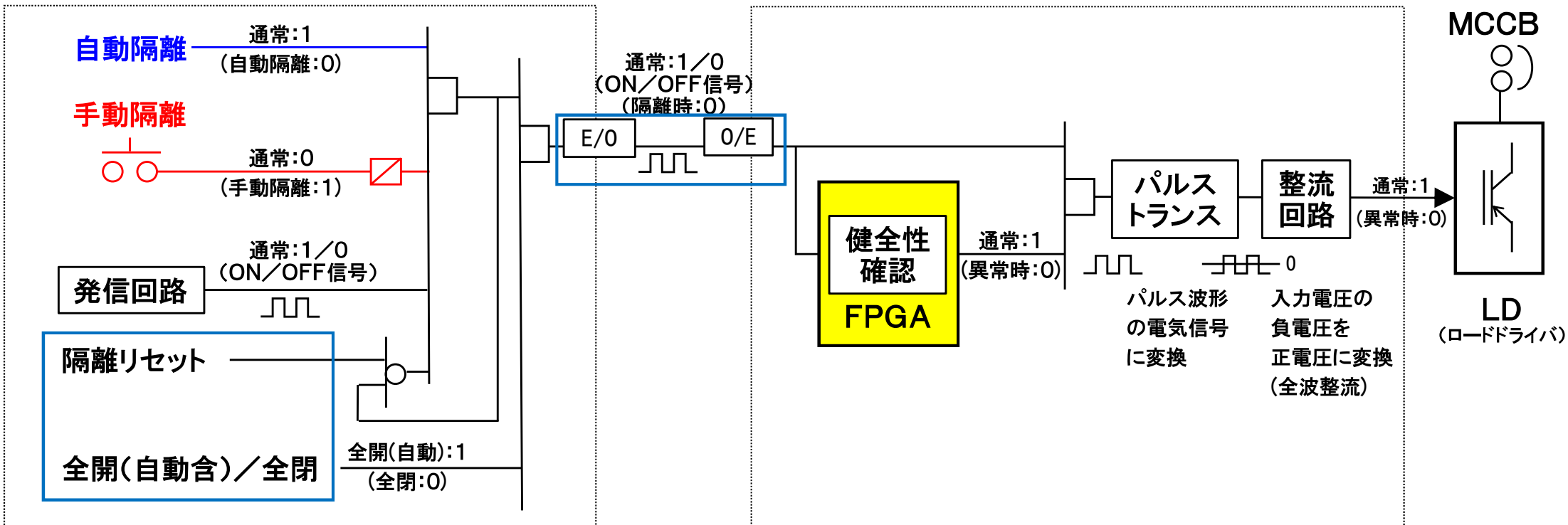
志賀2号、島根3号、大間1号
2000年代以降
(FPGA)



柏崎7号:更新時
2000年代以降と同様
(FPGA)

1.2 出力回路におけるFPGA処理

- ✓ FPGA(黄色部)では、ON/OFF信号の健全性確認(※)を実施
 - ※ ONまたはOFFの信号幅を確認
- ✓ 黄色部以外はハードウェア構成を示す
- ✓ 健全性確認の設置については光/電気に変換される信号が確実に処理している事を確認している
(パルスを使用した今回の構成における受光素子の劣化やレベル低下などの異常監視)
- ✓ 自動隔離及び手動隔離の信号が出力された際において、FPGAが故障した場合、MSIVは閉動作となる為、FPGAが安全機能を阻害する事はない



青字: μ Pr(設定値比較、論理回路)からの自動隔離信号
赤字: 手動隔離信号

1.3 PAL と FPGAの違い

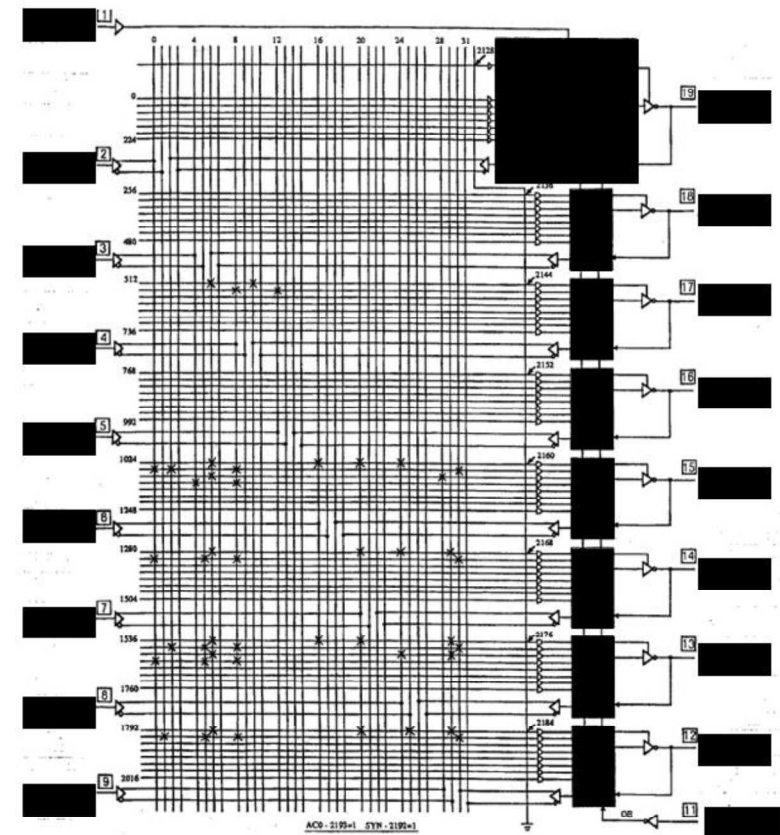
1.3.1 処理内容

- ✓ 1.2項における健全性確認(ONまたはOFFの信号幅を確認)の機能については、PALを用いた場合とFPGAを用いた場合で健全性確認で実装している機能に違いはない。
- ✓ PALではその機能の一部を処理している。(1.3.3項 参照)
- ✓ FPGAでは、その機能全体の処理を行っている。

1.3.2 ① PAL作成方法

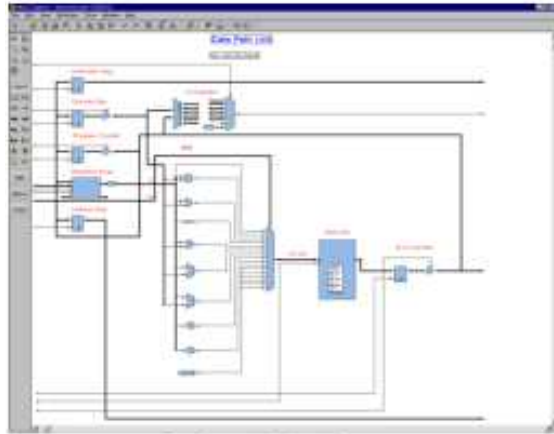
- ✓ イメージ図を右図に示す。
- ✓ 左端が入力端子、右端が出力端子を示し、出力部の回路は標準として備え付けられている。
- ✓ 入力端子と出力端子の間に縦横線があり、すべての入出力端子がクロスしている。
- ✓ 必要な回路(出力端子)に対する、入力端子とのクロス点を設定することで、構築可能となる。
- ✓ このクロス点はAND条件となる。

【タイプ】PROM



1.3.2 ② FPGA作成方法

- ✓ ブロックダイアグラムを用いて仕様設計(コーディング)を実施。



ブロックダイアグラム

- ✓ 配置(レイアウト)および接続するための配線経路を決定する。
- ✓ コンパイル(論理合成、配置配線)にて整合性を確認する。

【タイプ】EEPROM(世代に関わらず同一)

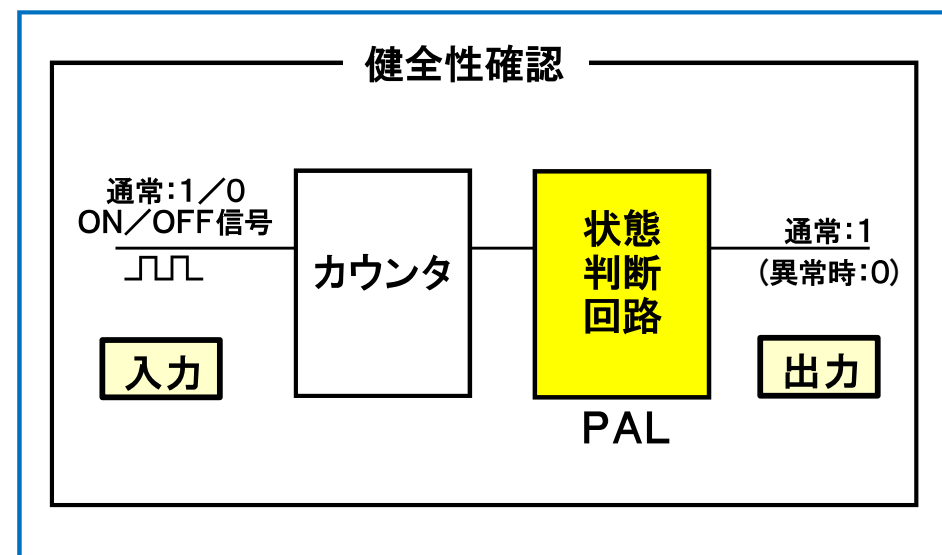
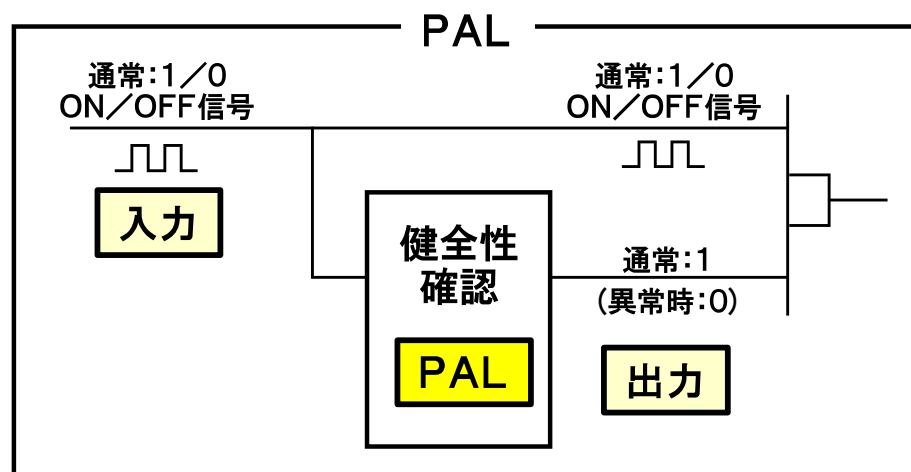
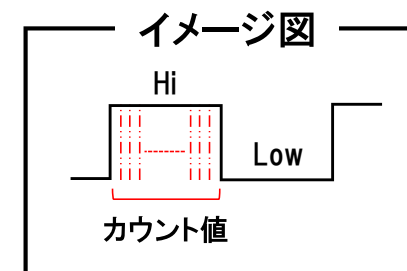
書き込みに限定したツールが必要、メーカー以外で書き込み不可

1.3.3 検証方法

設計検証、実装検証、システム検証につき、下記に示す。

①-1 設計検証:PAL(図中:黄色)

- 健全性確認における一部にPALを使用している。
右図の Hi ⇒ Low(または Low ⇒ Hi)へ切り替わるまでのカウント値(ビット信号)が判定値「未満 または 以上」を出力する機能を担う。
(下図の状態判断回路にて実施)
- PALの特性上、入力信号は単純な組合せ論理(AND条件)で処理されることから机上チェックを実施。



①-2 設計検証:FPGA(図中:黄色)

- ・健全性確認(①-1 のカウント値からの判定処理+その前段でのHiまたはLowのカウント処理)の機能を担う。

FPGA作成の流れ

1)FPGA設計書作成
(ブロック図、ピン仕様、信号処理回路等)

2)設計仕様のコーディング

3)配置(レイアウト)および接続するための配線経路を決定

4)コンパイル作業

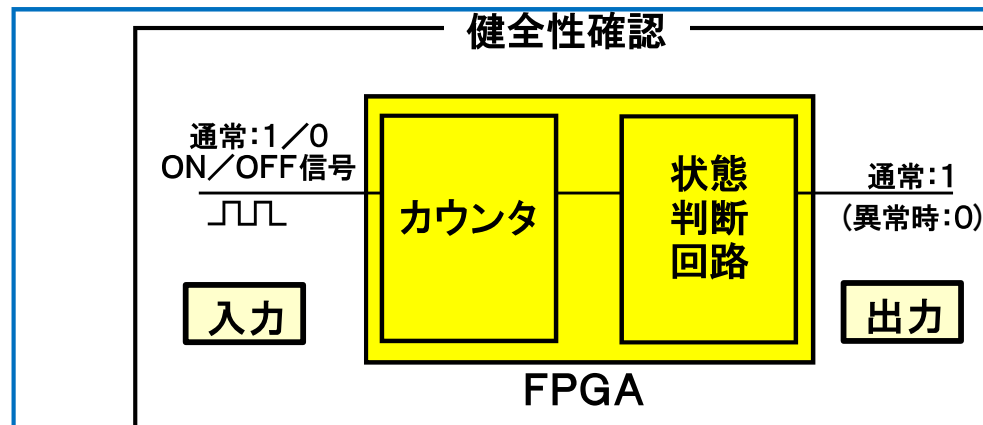
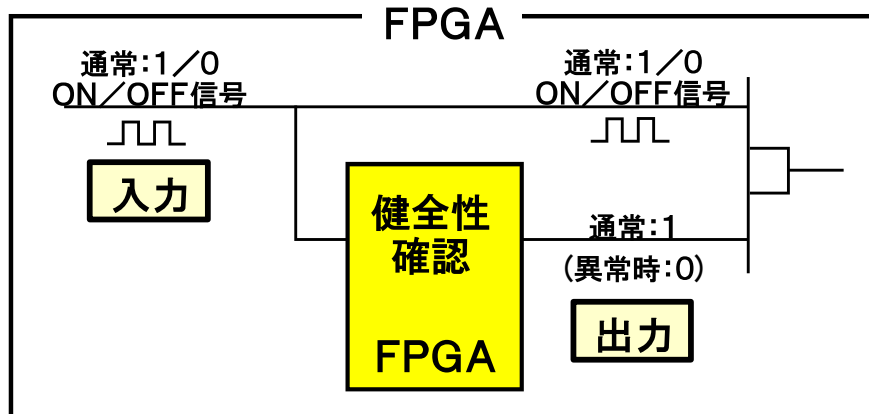
5)メーカーへの製作依頼

→FPGA作成段階の仕様設計におけるコーディング完了時点において、メーカー専用ツールを用いた回路設計の妥当性確認を実施。

具体的には、下図の健全性確認におけるパルス入力に対する出力確認(閾値を超えた場合、異常となり、戻ると復旧する事を確認)、健全性確認処理はFPGA内のカウンタで計数化し、状態判断回路で判定しており、その閾値には裕度があり出力に影響を与えないため、タイミング的な評価は不要としている。

→FPGA作成段階のコンパイル完了時点において、メーカー専用ツール(上記とは別物)を用いた回路動作としての整合性確認を実施。

具体的には、設定条件に合った配置配線の確認(ピン配列やロジック、ピン間の配線確認)

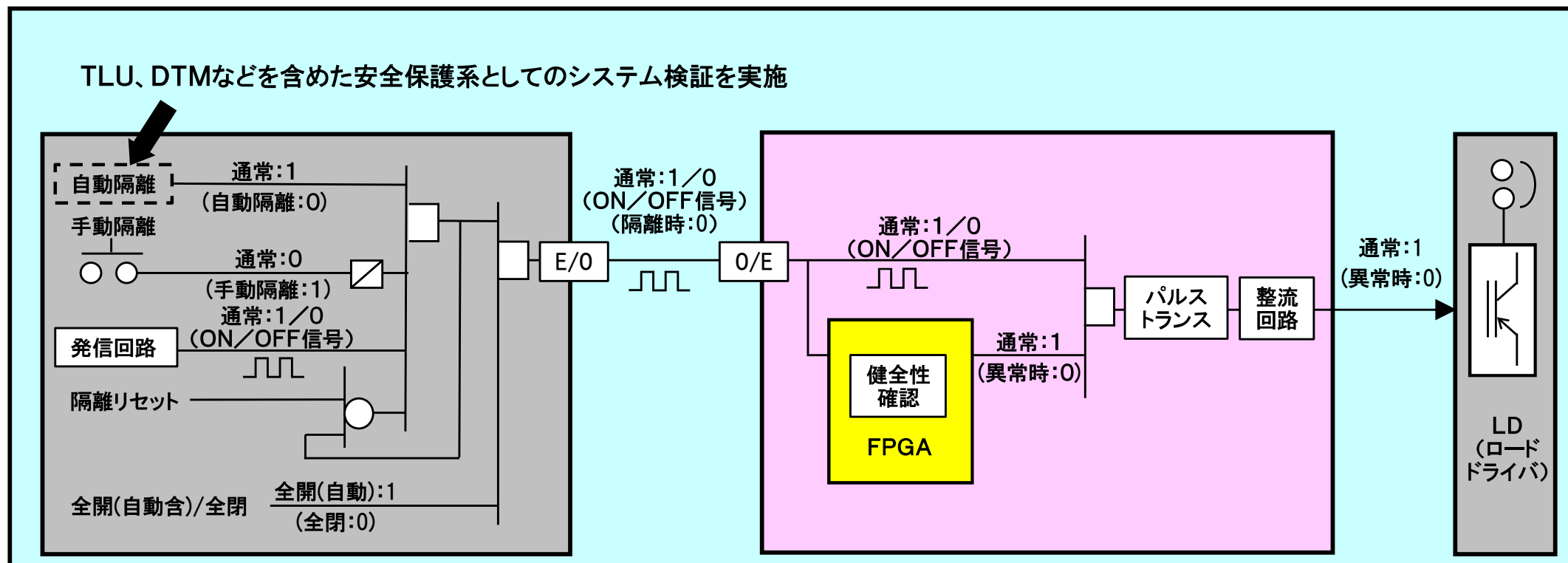


②実装検証(図中:ピンク色)

- ・基板に実装した状態で、パルス変調(入力)による整流回路 後段のLDへの電圧確認など
基板による機能検証を実施
- ・PAL と FPGAで、検証方法は同様

③システム検証(図中:水色)

- ・その他の基板に対する単体での機能検証(図中:灰色)を実施後、TLU、DTMなどを含めた
安全保護系システムとしての検証を実施



PLDの使用デバイス

サイト	柏崎7号	志賀2号、島根3号、大間1号	柏崎7号
建設/更新	建設		更新
年代	1990年代	2000年代	2010年代～現在
使用PLD	PAL	FPGA	
使用タイプ	PROM	EEPROM	
メーカー	A社	B社	A社

- ・開発段階で世の中の動向を踏まえて使用出来るPLDを採用している
- ・PLDへの書き込みは、メーカーへ依頼し、日立では入荷したPLDと専用ツールとの接続するための治具等がないため、変更することは出来ない。